

# SEMICONDUCTOR DEVICE

Patent number: JP11145414  
Publication date: 1999-05-28  
Inventor: SATO WATARU; ASAO YOSHIKI  
Applicant: TOSHIBA CORP  
Classification:  
- international: H01L27/108; H01L21/8242  
- european:  
Application number: JP19980243760 19980828  
Priority number(s):

Also published as:

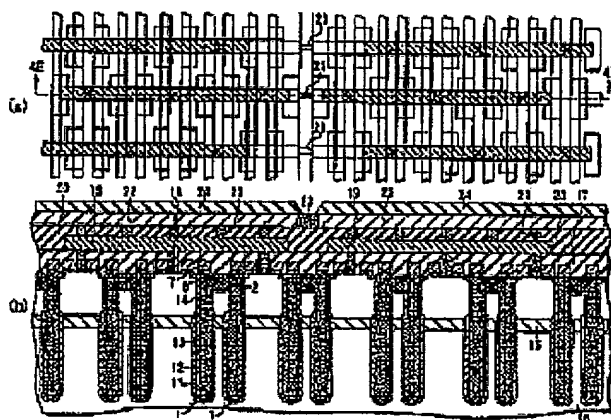


US6278149 (B1)

## Abstract of JP11145414

**PROBLEM TO BE SOLVED:** To provide a semiconductor device of a structure, wherein occupying areas of capacitor patterns can be narrow and the freedom of the design of a circuit can be enhanced.

**SOLUTION:** In a DRAM logic circuit mixedly placed integrated circuit, wherein a DRAM having trench capacitors of deep trench structure and a logic circuit are mixedly placed on a single semiconductor substrate, a plurality of the capacitors of the deep trench structure are provided on the logic circuit. The plurality of these capacitors are parallel-connected with each other by wiring parts 22 and 22, and a plurality of capacitor blocks are formed. By connecting selectively the wiring parts with each other or by separating selectively the wiring parts from each other between the capacitor blocks, fuse elements 23 to vary the capacitances of the capacitor block are provided. These fuse elements are selectively cut according to the capacitances of the capacitors, which are demanded from the circuitry design.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-145414

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 27/108  
21/8242

識別記号

F I

H 0 1 L 27/10

6 2 5 A

審査請求 未請求 請求項の数20 O L (全 14 頁)

(21) 出願番号 特願平10-243760

(22) 出願日 平成10年(1998) 8月28日

(31) 優先権主張番号 特願平9-239594

(32) 優先日 平 9 (1997) 9月 4 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 佐藤 亘

神奈川県横浜市磯子区新杉田町 8 番地 株

式会社東芝横浜事業所内

(72) 発明者 浅尾 吉昭

神奈川県横浜市磯子区新杉田町 8 番地 株

式会社東芝横浜事業所内

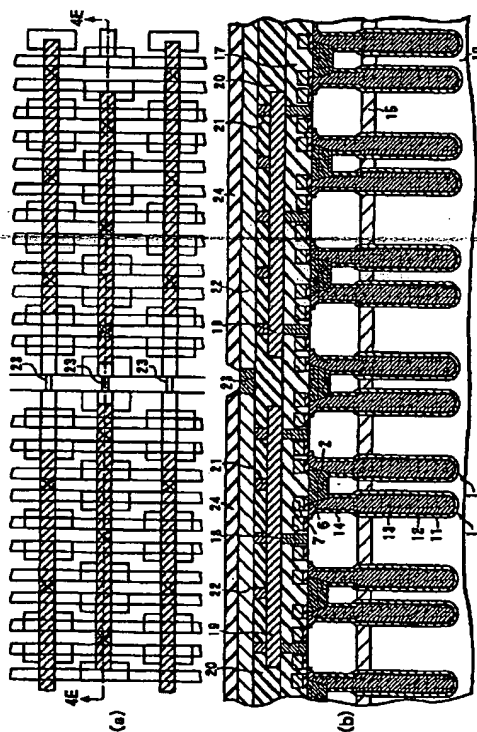
(74) 代理人 弁理士 鈴江 武彦 (外 6 名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 キャパシタのパターン占有面積が小さくて済み、回路設計の自由度を向上できる半導体装置を提供することを目的としている。

【解決手段】 ディープトレレンチ構造のトレレンチキャパシタを有する DRAM とロジック回路とが単一の半導体基板中に混載された DRAM ・ロジック混載集積回路において、ロジック回路部にディープトレレンチ構造の複数個のキャパシタを設けたことを特徴としている。これら複数のキャパシタは、配線部 22、22 によって並列接続され、複数個のキャパシタブロックが形成される。各キャパシタブロック間には、各配線部相互間を選択的に接続または分離することにより、上記キャパシタブロックの容量値を可変するフューズ素子 23 が設けられている。これらのフューズ素子は、回路設計から要求されるキャパシタの容量値に応じて選択的に切断される。



## 【特許請求の範囲】

【請求項1】 半導体基板中に形成されたトレンチ構造の複数のキャパシタと、

前記複数のキャパシタを電気的に接続して少なくとも1つのキャパシタブロックを形成する配線部とを具備することを特徴とする半導体装置。

【請求項2】 前記複数のキャパシタはそれぞれ、ディープトレンチ構造のキャパシタであり、

前記ディープトレンチ構造のキャパシタは、前記半導体基板に形成されたトレンチ内の下部の表面に形成されたキャパシタ電極と、前記トレンチ内の前記キャパシタ電極の表面に形成されたキャパシタ絶縁膜と、前記トレンチ内の上部側壁に形成された絶縁膜のカラーに開口された埋め込みストラップと、前記トレンチ内に埋め込まれた電荷蓄積層とを備え、

前記配線部は、前記半導体基板に埋め込み形成され、複数のキャパシタの各キャパシタ電極の上部相互を接続する埋め込みプレート配線と、前記複数のキャパシタの前記電荷蓄積層の上部相互に連なるように前記半導体基板の表層部に形成されたストラップ間接合拡散層とを備えることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記配線部は、前記複数のキャパシタの電荷蓄積層の上部相互に連なるように形成されたストラップ間接合拡散層に対してコンタクトする第1層目の金属配線を更に具備することを特徴とする請求項2に記載の半導体装置。

【請求項4】 前記第1層目の金属配線の上層に形成され、前記第1層目の金属配線を共通接続する第2層目の金属配線を更に具備することを特徴とする請求項3に記載の半導体装置。

【請求項5】 前記キャパシタは、半導体記憶装置のメモリセル以外の回路部に形成されることを特徴とする請求項1に記載の半導体装置。

【請求項6】 前記半導体記憶装置のメモリセル以外の回路部は、DRAM・ロジック混載集積回路におけるロジック回路部であることを特徴とする請求項5に記載の半導体装置。

【請求項7】 前記キャパシタは、前記DRAM・ロジック混載集積回路におけるDRAM部に形成されているメモリセルのキャパシタと同じ構造であることを特徴とする請求項6に記載の半導体装置。

【請求項8】 前記キャパシタのトレンチの長さは、前記DRAM・ロジック混載集積回路におけるDRAM部に形成されているメモリセルのキャパシタのトレンチよりも長いことを特徴とする請求項6に記載の半導体装置。

【請求項9】 前記キャパシタは、前記DRAM・ロジック混載集積回路におけるDRAM部に形成されているメモリセルのキャパシタとはキャパシタ絶縁膜の種類、膜厚が異なることを特徴とする請求項8に記載の半導体

装置。

【請求項10】 半導体基板中に形成されたトレンチ構造の複数のキャパシタと、

前記複数のトレンチ構造のキャパシタを電気的に接続して複数のキャパシタブロックを形成する配線部と、前記各配線部相互間を選択的に接続または分離することにより、前記キャパシタブロックの容量値を可変する接続／分離手段とを具備することを特徴とする半導体装置。

【請求項11】 前記複数のトレンチ構造のキャパシタはそれぞれ、ディープトレンチ構造のキャパシタであり、

前記ディープトレンチ構造のキャパシタは、前記半導体基板に形成されたトレンチ内の下部の表面に形成されたキャパシタ電極と、前記トレンチ内の前記キャパシタ電極の表面に形成されたキャパシタ絶縁膜と、前記トレンチ内の上部側壁に形成された絶縁膜のカラーに開口された埋め込みストラップと、前記トレンチ内に埋め込まれた電荷蓄積層とを備え、

前記配線部は、前記半導体基板に埋め込み形成され、複数のキャパシタの各キャパシタ電極の上部相互を接続する埋め込みプレート配線と、前記複数のキャパシタの電荷蓄積層の上部相互に連なるように前記半導体基板の表層部に形成されたストラップ間接合拡散層とを備え、

前記接続／分離手段は、前記キャパシタブロックの各配線部相互間を接続するように形成され、選択的に切断されるフューズ素子を備えることを特徴とする請求項10に記載の半導体装置。

【請求項12】 前記配線部は、前記複数のキャパシタの電荷蓄積層の上部相互に連なるように形成されたストラップ間接合拡散層に対してコンタクトする第1層目の金属配線を更に具備することを特徴とする請求項11に記載の半導体装置。

【請求項13】 前記第1層目の金属配線の上層に形成され、前記第1層目の金属配線をキャパシタブロック毎に共通接続する第2層目の金属配線を更に具備し、

前記フューズ素子は、前記各キャパシタブロックの前記第2層目の金属配線の相互間を接続することを特徴とする請求項11に記載の半導体装置。

【請求項14】 前記フューズ素子は、前記第2層目の金属配線と同じ材質で形成されることを特徴とする請求項13に記載の半導体装置。

【請求項15】 前記フューズ素子は、前記第2層目の金属配線の形成工程より前の工程で形成されることを特徴とする請求項13に記載の半導体装置。

【請求項16】 前記キャパシタは、半導体記憶装置のメモリセル以外の回路部に形成されていることを特徴とする請求項10に記載の半導体装置。

【請求項17】 前記半導体記憶装置のメモリセル以外

の回路部は、DRAM・ロジック混載集積回路におけるロジック回路部であることを特徴とする請求項16に記載の半導体装置。

【請求項18】 前記キャパシタは、前記DRAM・ロジック混載集積回路におけるDRAM部に形成されているメモリセルのキャパシタと同じ構造であることを特徴とする請求項17に記載の半導体装置。

【請求項19】 前記キャパシタのトレンチの長さは、前記DRAM・ロジック混載集積回路におけるDRAM部に形成されているメモリセルのキャパシタのトレンチよりも長いことを特徴とする請求項18に記載の半導体装置。

【請求項20】 前記キャパシタは、前記DRAM・ロジック混載集積回路におけるDRAM部に形成されているメモリセルのキャパシタとはキャパシタ絶縁膜の種類、膜厚が異なることを特徴とする請求項19に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、トレンチ構造のキャパシタを備えた半導体装置に関するもので、更に詳しくは、DRAM・ロジック混載集積回路におけるロジック回路部のキャパシタ構造に関するものである。

【0002】

【従来の技術】従来、DRAMとMPU等のロジック回路とを混載したDRAM・ロジック混載集積回路においては、ロジック回路部にキャパシタを形成する際に、プレーナ構造のキャパシタを用いて実現していた。DRAM部におけるメモリセルには、トレンチ構造のキャパシタが用いられているが、その容量値が小さいのでロジック回路部で用いるのには実用的ではないからである。

【0003】しかし、ロジック回路部にプレーナ構造のキャパシタを用いて、所望の大きさの容量値、例えば安定化電源回路の電源安定化容量等を実現しようとする、と、キャパシタのパターン占有面積が大きくなり、回路設計の自由度が低下する。

【0004】また、従来のDRAM・ロジック混載集積回路では、ロジック回路部で回路設計面から要求されるキャパシタの容量値をチップ毎に変更しようすると、製造工程を変更しなければならず、チップ毎の変更が困難である。

【0005】

【発明が解決しようとする課題】上記のように従来の半導体装置は、キャパシタのパターン占有面積が大きくなり、回路設計の自由度が低下するという問題があった。また、キャパシタの容量値をチップ毎に変更しようすると、製造工程を変更しなければならず、チップ毎の変更が困難であるという問題があった。

【0006】この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、所望の大きさの

容量値を実現する際に、キャパシタのパターン占有面積が小さくて済み、回路設計の自由度を向上できる半導体装置を提供することにある。また、この発明の別の目的は、回路設計面から要求されるキャパシタの容量値をチップ毎に容易に変更できる半導体装置を提供することにある。

【0007】

【課題を解決するための手段】この発明の半導体装置は、半導体基板中に形成されたトレンチ構造の複数のキャパシタと、上記複数のキャパシタを電気的に接続して少なくとも1つのキャパシタブロックを形成する配線部とを具備することを特徴としている。

【0008】そして、好ましくは次のような特徴を備えている。前記複数のキャパシタはそれぞれ、ディープトレンチ構造のキャパシタであり、前記ディープトレンチ構造のキャパシタは、前記半導体基板に形成されたトレンチ内の下部の表面に形成されたキャパシタ電極と、前記トレンチ内の前記キャパシタ電極の表面に形成されたキャパシタ絶縁膜と、前記トレンチ内の上部側壁に形成された絶縁膜のカラーに開口された埋め込みストラップと、前記トレンチ内に埋め込まれた電荷蓄積層とを備え、前記配線部は、前記半導体基板に埋め込み形成され、複数のキャパシタの各キャパシタ電極の上部相互を接続する埋め込みプレート配線と、前記複数のキャパシタの前記電荷蓄積層の上部相互に連なるように前記半導体基板の表層部に形成されたストラップ間接合拡散層とを備える。

【0009】前記配線部は、前記複数のキャパシタの電荷蓄積層の上部相互に連なるように形成されたストラップ間接合拡散層に対してコンタクトする第1層目の金属配線を更に具備する。

【0010】前記第1層目の金属配線の上層に形成され、前記第1層目の金属配線を共通接続する第2層目の金属配線を更に具備する。前記キャパシタは、半導体記憶装置のメモリセル以外の回路部に形成される。

【0011】前記半導体記憶装置のメモリセル以外の回路部は、DRAM・ロジック混載集積回路におけるロジック回路部である。前記キャパシタは、前記DRAM・ロジック混載集積回路におけるDRAM部に形成されているメモリセルのキャパシタと同じ構造である。

【0012】前記キャパシタのトレンチの長さは、前記DRAM・ロジック混載集積回路におけるDRAM部に形成されているメモリセルのキャパシタのトレンチよりも長い。

【0013】前記キャパシタは、前記DRAM・ロジック混載集積回路におけるDRAM部に形成されているメモリセルのキャパシタとはキャパシタ絶縁膜の種類、膜厚が異なる。

【0014】上記のような構成によれば、複数のトレンチ構造のキャパシタを並列接続して少なくとも1つの

キャパシタブロックを形成し、このキャパシタブロックを用いて所望の大きさの容量値を実現できるので、キャパシタのパターン占有面積が小さくて済み、回路設計の自由度を向上できる。

【0015】また、この発明の半導体装置は、半導体基板中に形成されたトレンチ構造の複数のキャパシタと、上記複数のトレンチ構造のキャパシタを電気的に接続して複数のキャパシタブロックを形成する配線部と、上記各配線部相互間を選択的に接続または分離することにより、上記キャパシタブロックの容量値を可変する接続／分離手段とを具備することを特徴としている。

【0016】そして、好ましくは次のような特徴を備えている。前記複数のトレンチ構造のキャパシタはそれぞれ、ディープトレンチ構造のキャパシタであり、前記ディープトレンチ構造のキャパシタは、前記半導体基板に形成されたトレンチ内の下部の表面に形成されたキャパシタ電極と、前記トレンチ内の前記キャパシタ電極の表面に形成されたキャパシタ絶縁膜と、前記トレンチ内の上部側壁に形成された絶縁膜のカラーに開口された埋め込みストラップと、前記トレンチ内に埋め込まれた電荷蓄積層とを備え、前記配線部は、前記半導体基板に埋め込み形成され、複数のキャパシタの各キャパシタ電極の上部相互を接続する埋め込みプレート配線と、前記複数のキャパシタの電荷蓄積層の上部相互に連なるように前記半導体基板の表層部に形成されたストラップ間接合拡散層とを備え、前記接続／分離手段は、前記キャパシタブロックの各配線部相互間を接続するように形成され、選択的に切断されるフューズ素子を備える。

【0017】前記配線部は、前記複数のキャパシタの電荷蓄積層の上部相互に連なるように形成されたストラップ間接合拡散層に対してコンタクトする第1層目の金属配線を更に具備する。

【0018】前記第1層目の金属配線の上層に形成され、前記第1層目の金属配線をキャパシタブロック毎に共通接続する第2層目の金属配線を更に具備し、前記フューズ素子は、前記各キャパシタブロックの前記第2層目の金属配線の相互間を接続する。

【0019】前記フューズ素子は、前記第2層目の金属配線と同じ材質で形成される。前記フューズ素子は、前記第2層目の金属配線の形成工程より前の工程で形成される。

【0020】前記キャパシタは、半導体記憶装置のメモリセル以外の回路部に形成されている。前記半導体記憶装置のメモリセル以外の回路部は、DRAM・ロジック混載集積回路におけるロジック回路部である。

【0021】前記キャパシタは、前記DRAM・ロジック混載集積回路におけるDRAM部に形成されているメモリセルのキャパシタと同じ構造である。前記キャパシタのトレンチの長さは、前記DRAM・ロジック混載集積回路におけるDRAM部に形成されているメモリセル

のキャパシタのトレンチよりも長い。

【0022】前記キャパシタは、前記DRAM・ロジック混載集積回路におけるDRAM部に形成されているメモリセルのキャパシタとはキャパシタ絶縁膜の種類、膜厚が異なる。

【0023】上記のような構成によれば、複数のトレンチ構造のキャパシタを並列接続した複数のキャパシタブロックを選択的に接続して用いることができるので、回路設計から要求されるキャパシタの容量値をチップ毎に容易に変更できる。

【0024】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図1(a)、(b)ないし図10(a)、(b)はそれぞれ、この発明の第1の実施の形態に係る半導体装置について説明するためのもので、図1(a)ないし図5(a)は、DRAM・ロジック混載集積回路におけるDRAM部のパターン構成例を製造工程順に示す平面図、図1(b)ないし図5

(b)はそれぞれ、上記図1(a)ないし図5(a)に示したパターンの2A-2A~2E-2E線に沿った断面構成図である。また、図6(a)ないし図10(a)はそれぞれ、上記DRAM・ロジック混載集積回路におけるロジック回路部に形成されたキャパシタブロック部のパターン構成例を製造工程順に示す平面図、図6

(b)ないし図10(b)はそれぞれ、上記図6(a)ないし図10(a)に示したパターンの4A-4A~4E-4E線に沿った断面構成図である。

【0025】図1(a)、(b)に示す如く、DRAM・ロジック混載集積回路におけるDRAM部には、周知の製造工程に従ってトレンチ構造のキャパシタ(本例では、ディープトレンチ構造のキャパシタ)が形成される。また、このDRAM部におけるディープトレンチ構造のキャパシタの形成時に、図6(a)、(b)に示すように、ロジック回路部にもDRAM部と同じ製造工程に従ってトレンチ構造のキャパシタが形成される。このロジック回路部に形成されるトレンチ構造のキャパシタは、基本的にはDRAM部と同様な千鳥格子状にパターン配置されているが、複数のキャパシタブロックを形成するために、後述するフューズ素子の形成領域を除いてキャパシタブロック毎に分離されたパターンになっている。

【0026】すなわち、まず、RIE法等の異方性エッチングにより、半導体基板(シリコン基板)10の主表面に複数のトレンチ1を千鳥格子状に配列して形成する。その後、これらトレンチ1内に、キャパシタ電極11、キャパシタ絶縁膜12、電荷蓄積層13、カラー(collar)14、及び開口部(埋め込みストラップ; Buried-Strap)14a等を形成する。上記キャパシタ電極11は、上記トレンチ1内の下部の表面部(表層部)に、例えばN型の不純物(半導体基板10がP型の場

合)を導入した拡散層で形成されている。上記キャパシタ絶縁膜12は、例えばNO膜であり、上記トレンチ1内のキャパシタ電極(拡散層)11の表面に形成されている。上記電荷蓄積層13は、例えばN型ポリシリコンからなり、上記トレンチ1内に埋め込まれている。上記カラー14は、上記トレンチ1内の上部の側壁に形成された絶縁膜(例えば酸化膜)で形成される。また、上記埋め込みストラップ14aは、上記カラー14とアクティブ領域が重なる部分に形成されている。

【0027】次に、図2(a)、(b)及び図7

(a)、(b)に示すように、上記トレンチ構造のキャパシタが形成された半導体基板10中に埋め込みプレート(Buried-Plate)領域15を形成し、DRAM部のトレンチキャパシタのプレート電極を共通接続するとともに、ロジック回路部のトレンチキャパシタの一方の電極を共通接続する。埋め込みプレート領域15は、上記半導体基板10に埋め込み形成され、複数のキャパシタの各キャパシタ電極の上部相互を接続するように例えば不純物のイオン注入により形成されている。その後、半導体基板10の主表面にSTI構造の素子分離領域2を形成して素子分離を行う。次に、DRAM部のメモリセルにおけるセル選択用トランジスタTrのゲート絶縁膜3、ゲート電極4、ソース、ドレイン領域等を順次形成してメモリセル、並びに周辺回路を構成するトランジスタを形成する。このメモリセルの形成の際、ロジック回路部のトレンチキャパシタ間の領域に、これらのキャパシタを選択するためのトランジスタSTrのゲート絶縁膜6、ゲート電極7、ソース、ドレイン領域等を同一プロセスで形成する。次に、上記半導体構造上に第1の層間絶縁膜(例えばBPSG、PSG等)17を形成し、コンタクトホールを形成する。

【0028】引き続き、図3(a)、(b)及び図8(a)、(b)に示すように、例えばタングステン(W)あるいはAl-Cu合金からなる第1層目の金属配線層を形成した後、パターニングして上記コンタクトプラグ18に電気的に接続された第1層目の金属配線19を形成する。上記第1層目の金属配線19は、上記トレンチキャパシタ電極に対して例えば複数の箇所でもコンタクトするように形成されている。この第1層目の金属配線19のパターンは、セル選択用トランジスタのゲート電極4と直交する方向に形成され、上記コンタクト部を介してトレンチキャパシタと電気的に接続される。ロジック回路部の第1層目の金属配線19のパターンもトランジスタのゲート電極4と直交する方向に形成され、各キャパシタブロック毎に上記コンタクト部を介してトレンチキャパシタと電気的に接続される。

【0029】その後、図4(a)、(b)及び図9(a)、(b)に示すように、上記第1層目の金属配線19及び第1の層間絶縁膜17上に、第2の層間絶縁膜(例えばBPSG、PSG等)20を形成する。この第

2の層間絶縁膜20には上記第1層目の金属配線19上に対応する部分にビアホールを形成する。このビアホール内には上記第1層目の金属配線19と電気的な接続を行うために、例えばタングステンWを埋め込んで第2のコンタクトプラグ21を形成する。そして、上記各キャパシタブロック間の第2の層間絶縁膜20上に選択的に例えば第2層目の金属配線と同じ材質、すなわちAl-Cu合金からなるフューズ素子23を形成する。このフューズ素子23は、上記複数のキャパシタブロックの上記第2層目の金属配線の相互間を接続するように形成されている。次に、上記第2の層間絶縁膜20上に第2層目の金属配線22を形成する。この第2層目の金属配線22は、例えばAl-Cu合金からなり、上記第1層目の金属配線19と直交する方向に沿って形成する。また、キャパシタブロック部の上記第1層目の金属配線19は、各々キャパシタブロック毎に共通接続するようになっている。

【0030】なお、ここでは、フューズ素子23を形成した後で第2層目の金属配線22を形成するようにしたが、フューズ素子23を第2層目の金属配線22の形成工程と同じ工程で形成しても良い。

【0031】次に、図5(a)、(b)及び図10

(a)、(b)に示すように、DRAM部とロジック回路部の上記第2層目の金属配線22上及び第2の層間絶縁膜20上に表面保護膜24を形成し、上記表面保護膜の上記フューズ素子23上に窓25を開く。上記フューズ素子23は、レーザー照射等により回路設計や必要とする容量値に応じて選択的に溶断する。これにより、上記複数のキャパシタブロックの各配線部相互間の接続をフューズ素子23により選択的に分離することが可能になる。

【0032】DRAM・ロジック混載集積回路においては、実際には、最上層の金属配線層は、レーザー照射をして切断するには膜厚が厚すぎるため、それよりも下層の金属配線を用いることが多い。

【0033】図11は、図10(a)、(b)に示したキャパシタブロック部の等価回路図である。図5

(a)、(b)における1個分のキャパシタC、C、…の一方の電極がプレート配線(埋め込みプレート領域15に対応)PLで共通接続されている。他方の電極は、選択用トランジスタSTr、STr、…の電流通路を介してキャパシタブロック毎に局所接続配線(キャパシタ電極および第1層の金属配線19に対応)CLで共通接続されている。上記キャパシタブロック間は、キャパシタブロック間接続配線(図10(b)中の第2層目の金属配線22に対応)BLとフューズ配線(フューズ素子23に対応)FSによって共通接続されている。

【0034】そして、上記フューズ配線FSを回路設計から要求されるキャパシタの容量値に応じて選択的に切断することにより、複数のキャパシタブロックを選択的

に接続／分離して用いることができるので、チップ毎に容易に抵抗値を変更できる。また、上記選択用トランジスタSTr, STr, …のゲートに供給される制御信号CS, CS, …により、選択用トランジスタSTr, STr, …を選択的にオン／オフ制御し、各キャパシタブロックの容量値を微調整することもできる。

【0035】上記のように、この発明のDRAM・ロジック混載集積回路では、従来はメモリセル以外の回路では使用されなかったトレンチ構造のキャパシタをロジック回路部に複数個形成し、且つ並列接続して用いる。これにより、トレンチ構造のキャパシタを用いてロジック回路部に大きな容量値を実現することが可能になり、小さな平面で大きなキャパシタ対向面積が得られるというトレンチ構造の特徴から、プレーナ構造のキャパシタを使用する場合に比べて半導体基板上のキャパシタのパターン占有面積がより小さくなり、回路設計の自由度が向上する。

【0036】しかも、トレンチ構造のキャパシタで形成したキャパシタブロック相互間をフューズ素子23で配線することにより、任意の数のキャパシタブロックを選択的に並列接続して用いることができるので、ロジック回路部で回路設計面から要求されるキャパシタの容量値をチップ毎に容易に変更したり、キャパシタ間の接続配線をチップ毎に自由に調節できる。

【0037】また、キャパシタの接続と非接続とをトランジスタSTr, STr, …のスイッチングで切り換えることができるので、トランジスタのオン／オフによっても容量を可変できる。

【0038】図12は、上記第1の実施の形態に係る半導体装置の変形例について説明するためのパターン平面図である。この変形例は、ロジック回路部における隣接するトレンチ間の半導体基板10の主表面にアクティブ領域26を形成してトレンチキャパシタ間を接続したものである。

【0039】ロジック回路部のトレンチキャパシタは並列接続して用いるので、上記のようなパターン構成であっても第1の実施の形態と同様な回路構成にでき、実質的に同じ作用効果が得られる。

【0040】図13(a), (b)ないし図17

(a), (b)はそれぞれ、この発明の第2の実施の形態に係る半導体装置について説明するためのもので、図13(a)ないし図17(a)は、DRAM・ロジック混載集積回路におけるロジック回路部に形成されたキャパシタブロック部の他のパターン構成例を製造工程順に示す平面図、図13(b)ないし図17(b)は、上記図13(a)ないし図17(a)に示したパターンの8A-8A~8E-8E線に沿った断面構成図である。

【0041】この第2の実施の形態では、図13

(a), (b)に示すようにロジック回路部のトレンチの平面パターンがDRAM部のトレンチとは異なる構造

を有し、メモリセルのキャパシタが形成されているトレンチよりも長くなっている。また、図14(b)に示すように、第1の実施の形態におけるロジック回路部の選択用トランジスタが存在せず、隣接するキャパシタが拡散層27により接続されている。そして、複数列のキャパシタのうちで同一行に位置するキャパシタ群は、その電荷蓄積層13aが複数列で共有されるように長く形成されている。この場合、上記したように長く形成されたトレンチ1内に埋め込まれた電荷蓄積層13aを共有する複数のキャパシタは、キャパシタ電極領域が共通に接続されることによって並列接続され、1つのキャパシタブロックとなっている。従って、上記電荷蓄積層13aを共有するキャパシタブロックの2組以上を接続して所望の容量値を得る場合には、各組の電荷蓄積層13aの相互間を、第1の実施の形態に示したような第1のコンタクトプラグ18、第1層の金属配線19、第2のコンタクトプラグ21、第2層金属配線22、フューズ素子23を介して接続するようにしてもよい。

【0042】上記のような構成によれば、同一行に位置するキャパシタ群は、その電荷蓄積層13aが複数列で共有されるように形成されて1つのキャパシタブロックとなっているので、第1の実施の形態に比べて大きな容量単位で容量値を設定することができる。

【0043】図18は、上記第2の実施の形態に係る半導体装置の変形例について説明するためのパターン平面図である。この変形例では、ロジック回路部におけるディープトレンチ1, 1, …の周囲にコンタクト18, 18, …を形成し、各トレンチキャパシタ間を並列接続している。

【0044】上記ロジック回路部のトレンチキャパシタは、単に並列接続すればよいので、このような構成であっても各トレンチキャパシタを並列接続することができる。なお、上述した第1, 第2の実施の形態では、DRAM部とロジック回路部におけるキャパシタの絶縁膜や膜厚を同時に形成する場合を例にとって説明したが、必要に応じて、例えばロジック回路部のキャパシタ絶縁膜を厚くして絶縁破壊耐圧の向上を図る等、キャパシタ絶縁膜の種類や膜厚が異なるように形成しても良いのは勿論である。

【0045】また、トレンチキャパシタの構造は、上述した第1, 第2の実施の形態で説明した構造に限定されるものではなく、種々の構造に適用できる。以上説明したように、この発明によれば、プレーナキャパシタで形成するよりも大きな容量を小さなパターン占有面積で得ることができ、特に少ないパターン占有面積で大きな容量を必要とする安定化電源回路の電源安定化容量等に好適である。

【0046】また、DRAM・ロジック混載集積回路では、プレーナキャパシタを用いるとDRAM部とロジック回路部でディープトレンチの数が大幅に異なることに

起因してD Tローディング効果が生じて加工条件が異なってしまうが、この発明ではメモリセル以外の周辺部にもディープトレレンチを配置するので、チップ面積に対するディープトレレンチの比率を増やし、ローディング効果を抑制できる。

【0047】更に、メモリセルと同様に、キャパシタの接続と非接続とをトランジスタのスイッチングで切り換えることができる。従って、トランジスタのオン/オフにより容量を可変でき、バリアブルコンデンサとしての利用も可能である。

【0048】

【発明の効果】以上説明したように、この発明によれば、所望の大きさの容量値を実現する際に、キャパシタのパターン占有面積が小さくて済み、回路設計の自由度を向上できる半導体装置が得られる。また、回路設計面から要求されるキャパシタの容量値をチップ毎に容易に変更できる半導体装置が得られる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態に係る半導体装置について説明するためのもので、(a)図はDRAM・ロジック混載集積回路におけるDRAM部の第1の製造工程におけるパターン構成例を示す平面図、(b)図は(a)図に示したパターンの2A-2A線に沿った断面構成図。

【図2】この発明の第1の実施の形態に係る半導体装置について説明するためのもので、(a)図はDRAM・ロジック混載集積回路におけるDRAM部の第2の製造工程におけるパターン構成例を示す平面図、(b)図は(a)図に示したパターンの2B-2B線に沿った断面構成図。

【図3】この発明の第1の実施の形態に係る半導体装置について説明するためのもので、(a)図はDRAM・ロジック混載集積回路におけるDRAM部の第3の製造工程におけるパターン構成例を示す平面図、(b)図は(a)図に示したパターンの2C-2C線に沿った断面構成図。

【図4】この発明の第1の実施の形態に係る半導体装置について説明するためのもので、(a)図はDRAM・ロジック混載集積回路におけるDRAM部の第4の製造工程におけるパターン構成例を示す平面図、(b)図は(a)図に示したパターンの2D-2D線に沿った断面構成図。

【図5】この発明の第1の実施の形態に係る半導体装置について説明するためのもので、(a)図はDRAM・ロジック混載集積回路におけるDRAM部の第5の製造工程におけるパターン構成例を示す平面図、(b)図は(a)図に示したパターンの2E-2E線に沿った断面構成図。

【図6】この発明の第1の実施の形態に係る半導体装置について説明するためのもので、(a)図はDRAM・

ロジック混載集積回路におけるロジック回路部に形成されたキャパシタブロック部の第1の製造工程におけるパターン構成例を示す平面、(b)図は(a)図に示したパターンの4A-4A線に沿った断面構成図。

【図7】この発明の第1の実施の形態に係る半導体装置について説明するためのもので、(a)図はDRAM・ロジック混載集積回路におけるロジック回路部に形成されたキャパシタブロック部の第2の製造工程におけるパターン構成例を示す平面図、(b)図は(a)図に示したパターンの4B-4B線に沿った断面構成図。

【図8】この発明の第1の実施の形態に係る半導体装置について説明するためのもので、(a)図はDRAM・ロジック混載集積回路におけるロジック回路部に形成されたキャパシタブロック部の第3の製造工程におけるパターン構成例を示す平面図、(b)図は(a)図に示したパターンの4C-4C線に沿った断面構成図。

【図9】この発明の第1の実施の形態に係る半導体装置について説明するためのもので、(a)図はDRAM・ロジック混載集積回路におけるロジック回路部に形成されたキャパシタブロック部の第4の製造工程におけるパターン構成例を示す平面図、(b)図は(a)図に示したパターンの4D-4D線に沿った断面構成図。

【図10】この発明の第1の実施の形態に係る半導体装置について説明するためのもので、(a)図はDRAM・ロジック混載集積回路におけるロジック回路部に形成されたキャパシタブロック部の第5の製造工程におけるパターン構成例を示す平面図、(b)図は(a)図に示したパターンの4E-4E線に沿った断面構成図。

【図11】図10に示したキャパシタブロック部の等価回路図。

【図12】第1の実施の形態に係る半導体装置の変形例について説明するためのパターン平面図。

【図13】この発明の第2の実施の形態に係る半導体装置について説明するためのもので、(a)図はDRAM・ロジック混載集積回路におけるロジック回路部に形成されたキャパシタブロック部の第1の製造工程におけるパターン構成例を示す平面図、(b)図は(a)図に示したパターンの8A-8A線に沿った断面構成図。

【図14】この発明の第2の実施の形態に係る半導体装置について説明するためのもので、(a)図はDRAM・ロジック混載集積回路におけるロジック回路部に形成されたキャパシタブロック部の第2の製造工程におけるパターン構成例を示す平面図、(b)図は(a)図に示したパターンの8B-8B線に沿った断面構成図。

【図15】この発明の第2の実施の形態に係る半導体装置について説明するためのもので、(a)図はDRAM・ロジック混載集積回路におけるロジック回路部に形成されたキャパシタブロック部の第3の製造工程におけるパターン構成例を示す平面図、(b)図は(a)図に示したパターンの8C-8C線に沿った断面構成図。



【図16】この発明の第2の実施の形態に係る半導体装置について説明するためのもので、(a)図はDRAM・ロジック混載集積回路におけるロジック回路部に形成されたキャパシタブロック部の第4の製造工程におけるパターン構成例を示す平面図、(b)図は(a)図に示したパターンの8D-8D線に沿った断面構成図。

【図17】この発明の第2の実施の形態に係る半導体装置について説明するためのもので、(a)図はDRAM・ロジック混載集積回路におけるロジック回路部に形成されたキャパシタブロック部の第5の製造工程におけるパターン構成例を示す平面図、(b)図は(a)図に示したパターンの8E-8E線に沿った断面構成図。

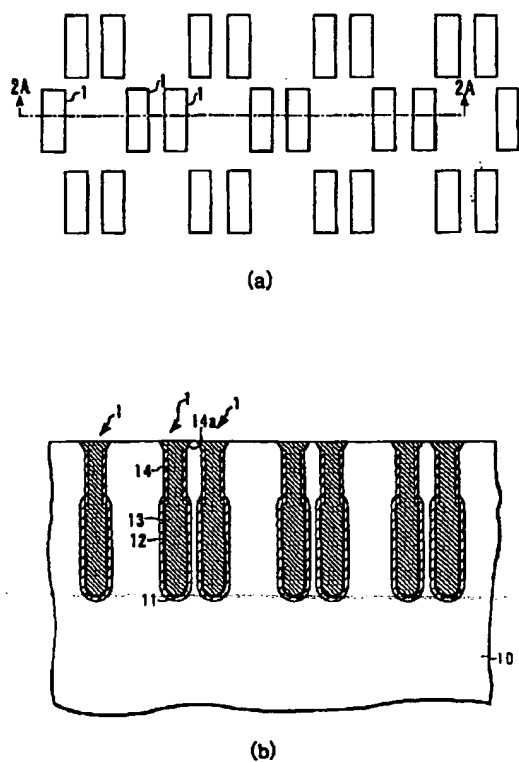
【図18】第2の実施の形態に係る半導体装置の変形例について説明するためのパターン平面図。

【符号の説明】

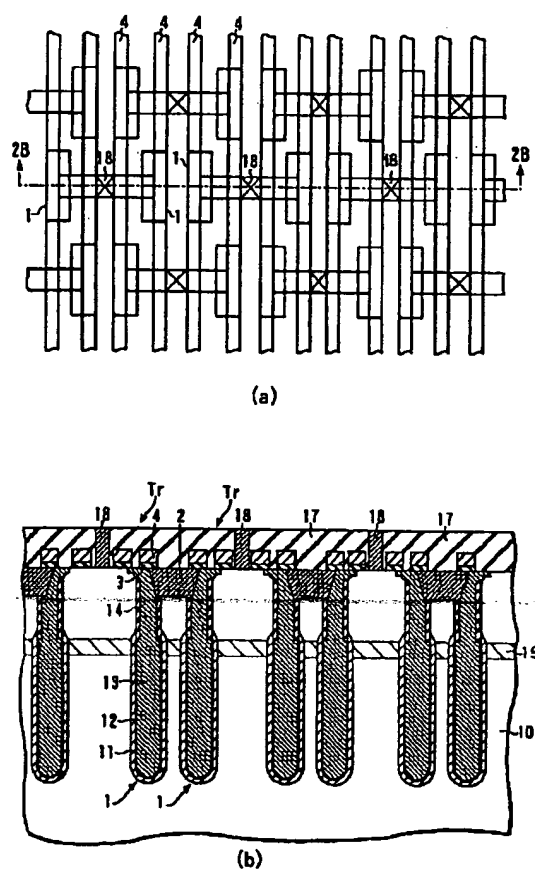
- 1…トレンチ、  
2…素子分離領域、

- 3, 6…ゲート絶縁膜、  
4, 7…ゲート電極、  
10…半導体基板(シリコン基板)、  
11…キャパシタ電極、  
12…キャパシタ絶縁膜、  
13…電荷蓄積層、  
14…カラー、  
14a…埋め込みストラップ(Buried-Strap)、  
15…埋め込みプレート(Buried-Plate)領域、  
17…第1の層間絶縁膜、  
18…第1のコンタクトプラグ、  
19…第1層目の金属配線、  
20…第2の層間絶縁膜、  
21…第2のコンタクトプラグ、  
22…第2層目の金属配線、  
23…フューズ素子、  
24…表面保護膜。

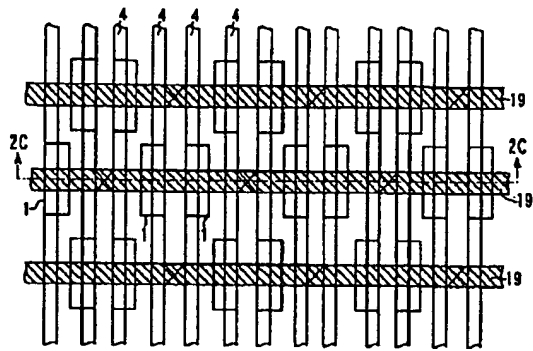
【図1】



【図2】

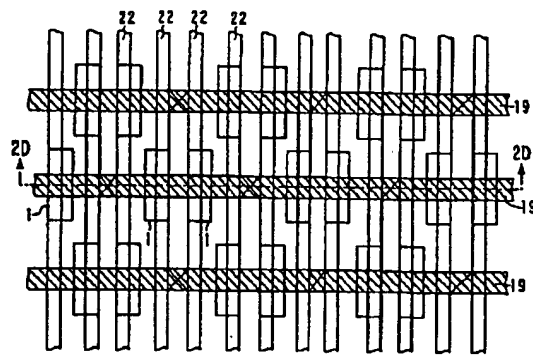


【図3】

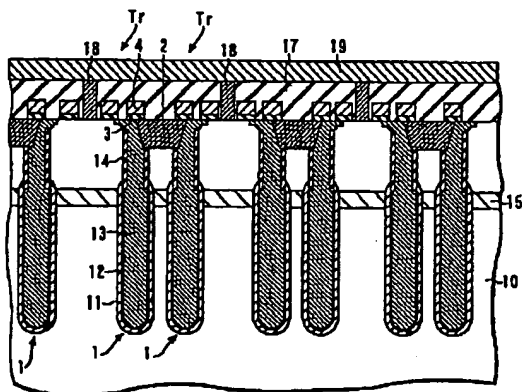


(a)

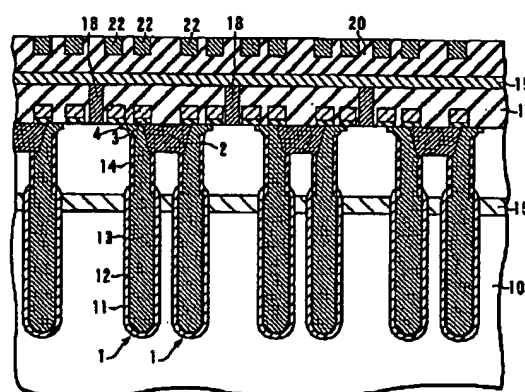
【図4】



(a)

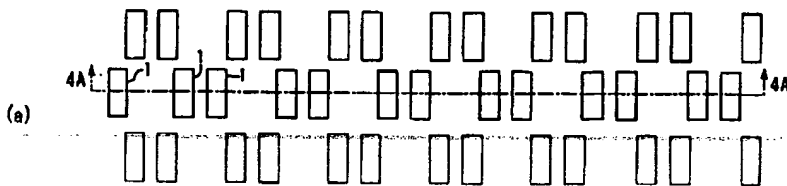


(b)

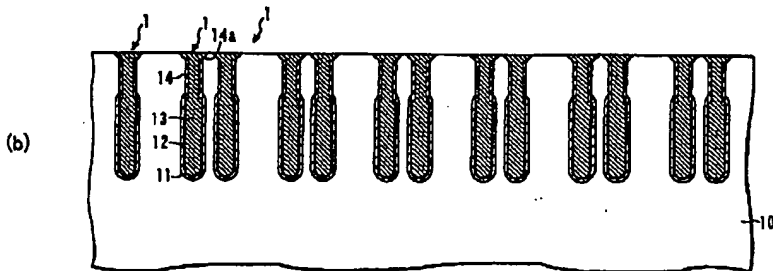


(b)

【図6】

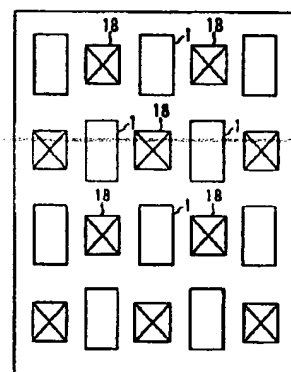


(a)

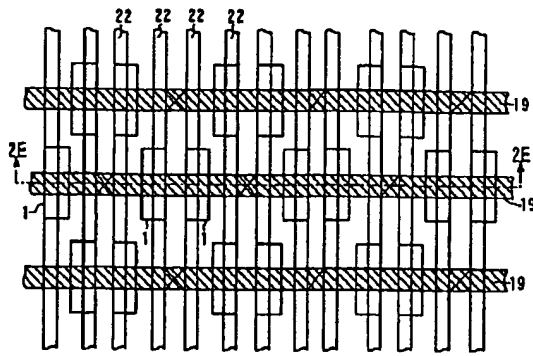


(b)

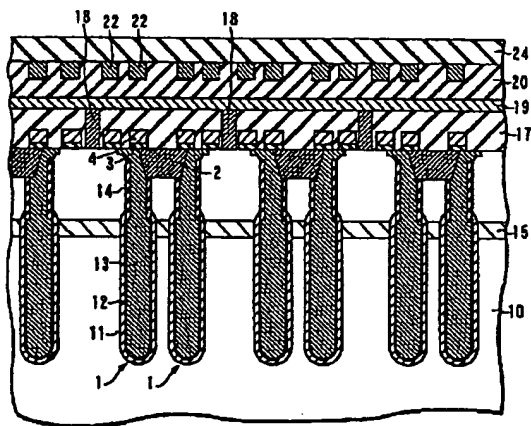
【図18】



【図5】

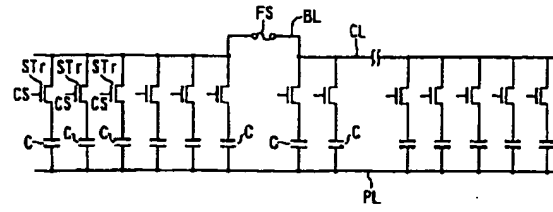


(a)

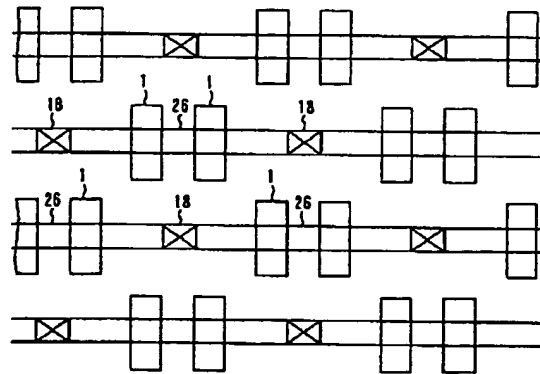


(b)

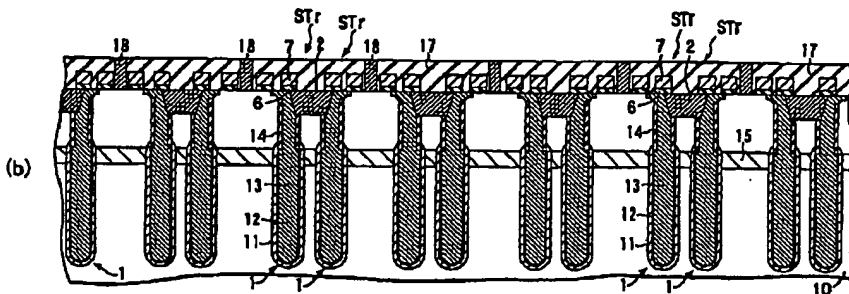
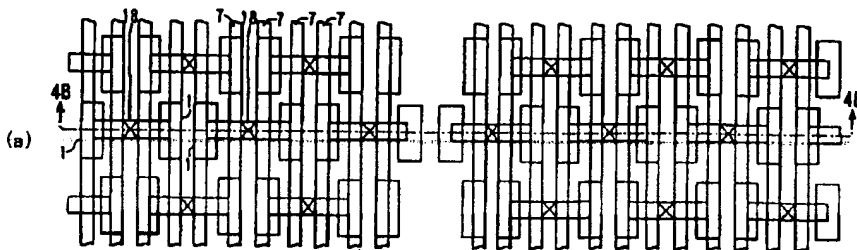
【図11】



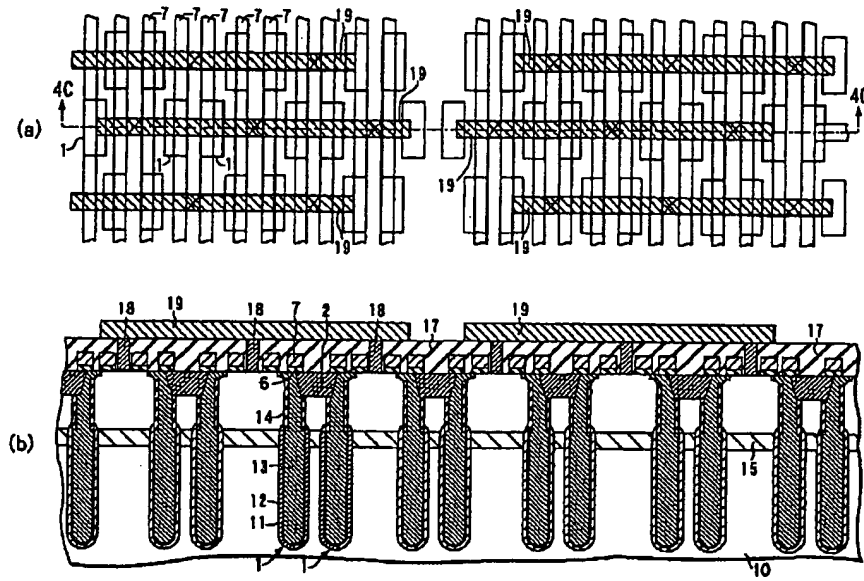
【図12】



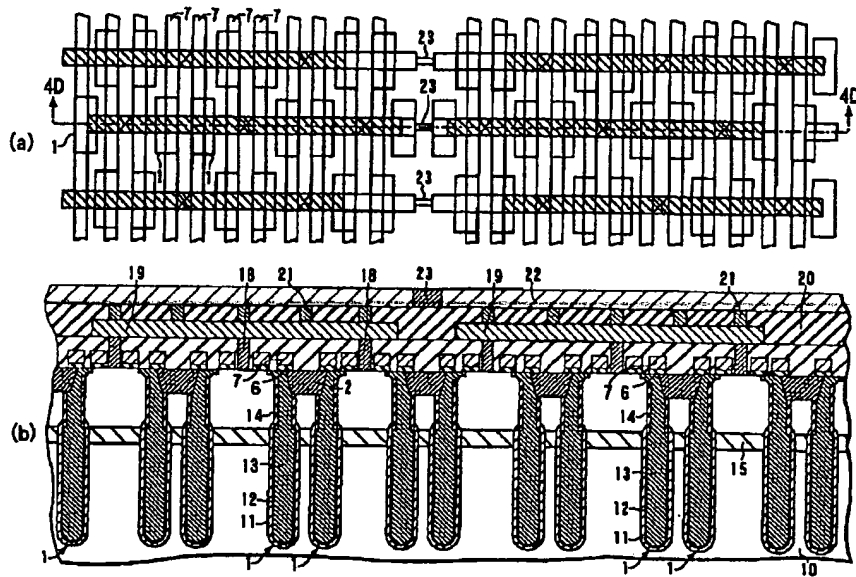
【図7】



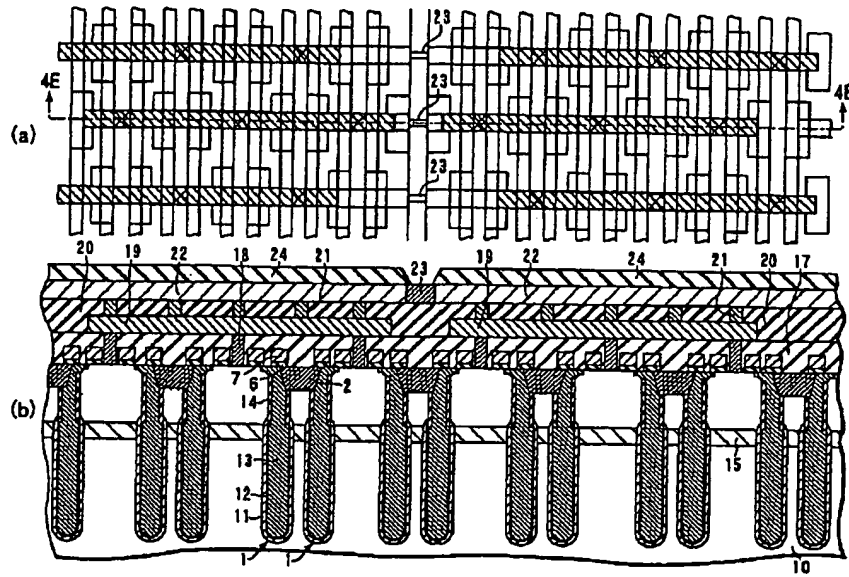
【図8】



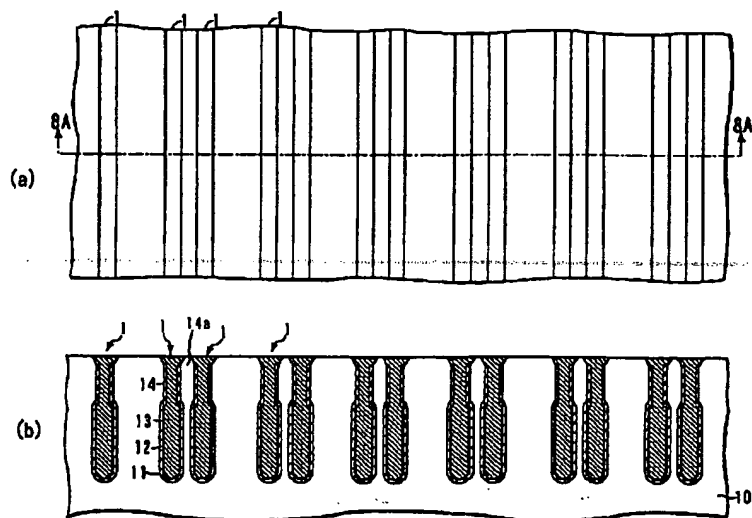
【図9】



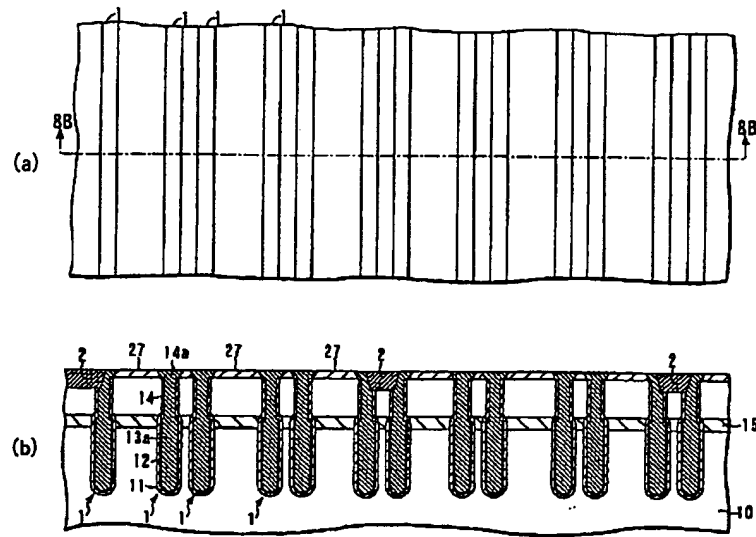
【図10】



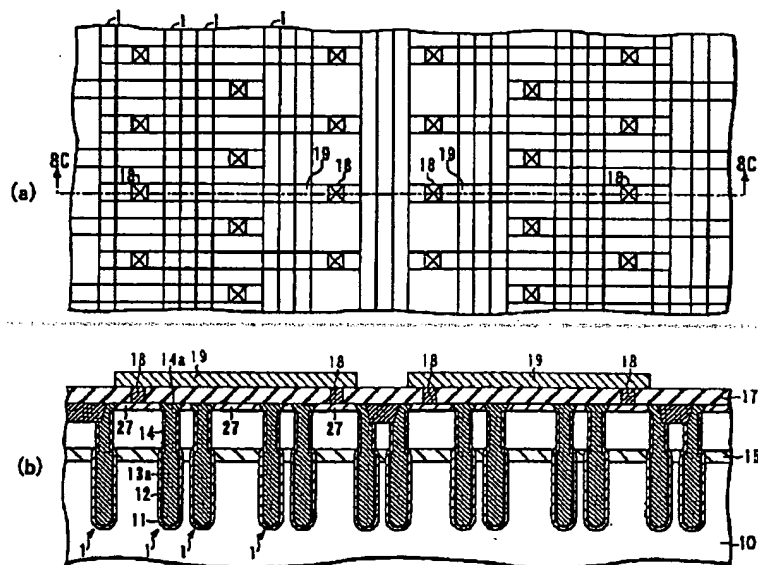
【図13】



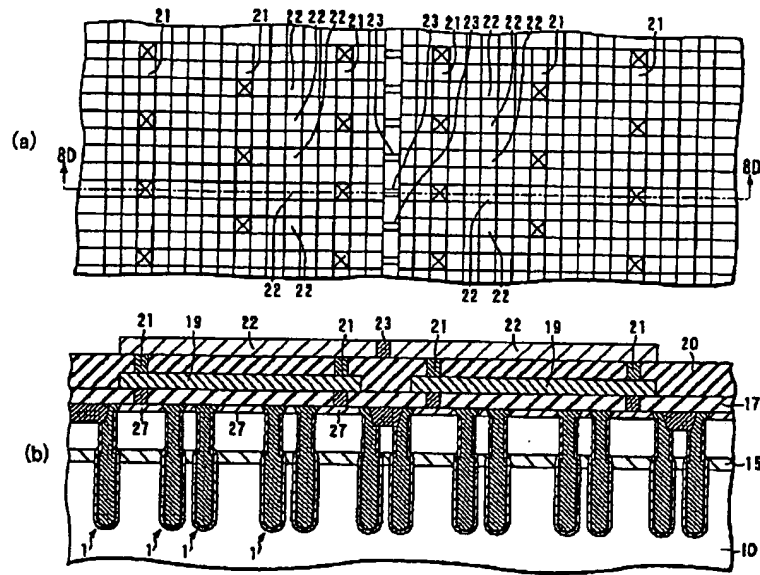
【図14】



【図15】



【図16】



【図17】

